

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-353756

(43)Date of publication of application : 19.12.2000

(51)Int.Cl. H01L 21/8238  
H01L 27/092  
H01L 21/265  
H01L 21/28  
H01L 21/8234  
H01L 27/088  
H01L 29/43  
H01L 29/78

(21)Application number : 11-166713

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.06.1999

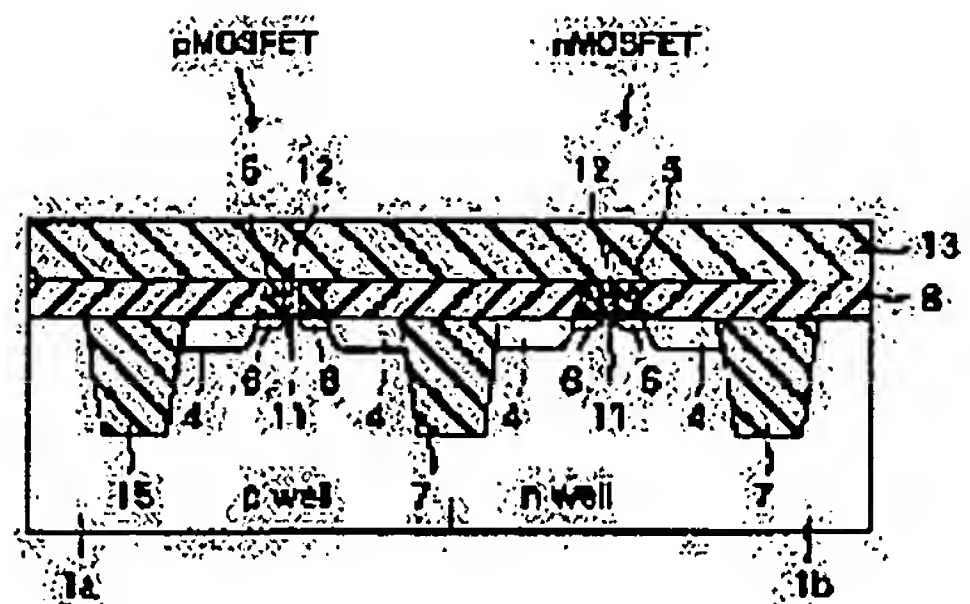
(72)Inventor : AZUMA ATSUSHI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

PROBLEM TO BE SOLVED: To realize a low threshold voltage in both an nMOSFET and a pMOSFET of an ultrathin CMOS transistor, using a metal gate electrode structure.

SOLUTION: In a semiconductor device formed with a CMOSFET, having metal gate electrodes 12, a metal film of the value of a work function of 4.2 to 5.0 eV is used in the parts, which are positioned on the sides of at least gate insulating films of the electrodes 12, and an nMOSFET and a pMOSFET of a CMOSFET are both formed into a constitution, where their short-channel transistors have a channel profile, which is constituted into a surface channel structure, and their long-channel transistors have a channel profile which is constituted into an embedded channel structure.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51)Int.Cl.	識別記号	F I	テ-マ-ト*(参考)	
H 0 1 L	21/8238	H 0 1 L	27/08	3 2 1 D
	27/092		21/28	3 0 1 R
	21/265		21/265	V
	21/28	3 0 1	27/08	1 0 2 B
	21/8234			3 2 1 C

審査請求 未請求 請求項の数6 O L (全 9 頁) 最終頁に続く

(21)出願番号	特願平11-166713	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成11年 6 月14日(1999. 6. 14)	(72)発明者	東 篤志 神奈川県横浜市磯子区新杉田町 8 番地 株 式会社東芝横浜事業所内
		(74)代理人	100058479 弁理士 鈴江 武彦 (外 6 名)

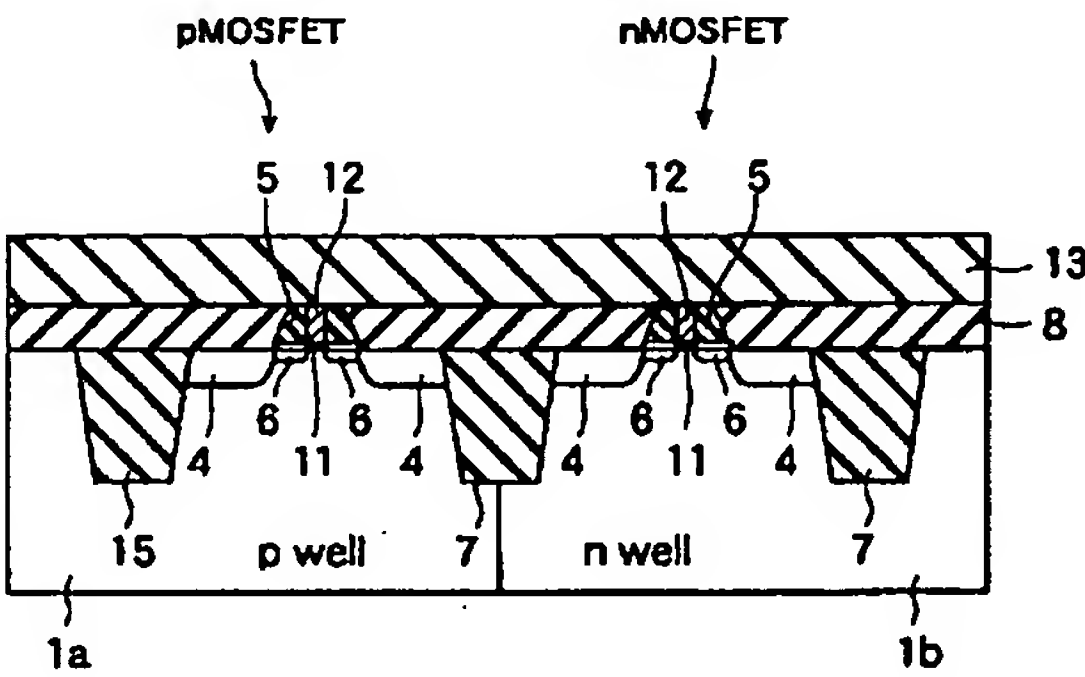
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】金属ゲート電極構造を用いた極微細CMOSトランジスタのnMOSFET、pMOSFETともに低い閾値電圧を実現する。

【解決手段】金属ゲート電極12を有するCMOSFETを形成した半導体装置において、金属ゲート電極の少なくともゲート絶縁膜側には、仕事関数の値が4.2eV~5.0eVの金属が用いられており、nMOSFET、pMOSFETとも、ショートチャネルのトランジスタは表面チャネル構造となるチャネルプロファイルを有し、ロングチャネルのトランジスタは埋め込みチャネル構造となるチャネルプロファイルを有する。



【特許請求の範囲】

【請求項1】 半導体層に形成された絶縁ゲート型電界効果型トランジスタのソース領域、チャンネル領域およびドレイン領域と、

前記チャンネル領域上に形成されたゲート絶縁膜と、  
前記ゲート絶縁膜上に形成され、少なくともゲート絶縁膜側に仕事関数の値がシリコンのバンドギャップ付近にある金属が用いられた金属ゲート電極とをそれぞれ具備するnチャンネル型の絶縁ゲート型電界効果型トランジスタおよびpチャンネル型の絶縁ゲート型電界効果型トランジスタが形成されてなり、

前記nチャンネル型およびpチャンネル型の絶縁ゲート型電界効果型トランジスタとも、所定のチャンネル長より短いチャンネル長の第1のトランジスタは表面チャンネル構造となるチャンネルプロファイルを有し、前記第1のトランジスタのチャンネル長より長い第2のチャンネル長の第2のトランジスタは埋め込みチャンネル構造となるチャンネルプロファイルを有することを特徴とする半導体装置。

【請求項2】 前記第1のトランジスタは、チャンネル長がデザインルールの最小寸法程度の近傍であるショートチャンネルのものであり、前記第2のトランジスタはロングチャンネルのものであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記金属ゲート電極の少なくともゲート絶縁膜側の金属の仕事関数の値は、 $4.2\text{ eV} \sim 5.0\text{ eV}$ であることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記金属ゲート電極は、チタン、タンタルのいずれか1つの単体金属で形成される、または、この単体金属と高融点金属との積層構造として形成されることを特徴とする請求項1記載の半導体装置。

【請求項5】 第1の導電型および第2の導電型の不純物をもつ半導体層上にダミーゲート絶縁膜およびダミーゲートを形成し、前記ダミーゲートの側面に側壁絶縁膜を形成する工程と、

前記側壁絶縁膜の形成工程の前後あるいは前のみあるいは後のみに前記半導体層の表層部にMOSトランジスタのソース、ドレイン領域となる不純物領域を形成する工程と、

この後、前記ダミーゲートおよび側壁絶縁膜を含む半導体層上の全面にシリコン酸化膜系の層間絶縁膜を堆積し、化学的研磨によって前記ダミーゲートを露出させる工程と、

前記露出させたダミーゲートを除去して前記第1のトランジスタのゲート形成用の第1の溝および前記第2のトランジスタのゲート形成用の第2の溝を形成し、その下方の前記半導体層にチャンネル不純物を導入する工程と、  
前記チャンネル不純物を導入する工程の前あるいは後に前記ダミーゲートダミーゲート絶縁膜を除去し、前記チャンネル不純物を導入する工程の後にゲート絶縁膜を形成

し、さらに金属ゲートを形成する工程とを具備し、  
第1の導電型をもつ基板部分には、第1の不純物と同じ導電型の不純物を基板に垂直な方向からまたはそれに近い角度から前記第1の溝および第2の溝を通して基板にイオン注入し、第1の不純物と反対導電型のイオン種を前記第1の溝を通しては基板に届かないように基板に斜め方向の角度から第2の溝を通してイオン注入し、第2の導電型をもつ基板部分には、第2の不純物と同じ導電型の不純物を基板に垂直な方向からまたはそれに近い角度から前記第1の溝および第2の溝を通して基板にイオン注入し、第2の不純物と反対導電型のイオン種を前記第1の溝を通しては基板に届かないように基板に斜め方向の角度から第2の溝を通してイオン注入することを特徴とする半導体装置の製造方法。

【請求項6】 前記第1のトランジスタは、チャンネル長がデザインルールの最小寸法程度の近傍であるショートチャンネルのものであり、前記第2のトランジスタはロングチャンネルのものであることを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係り、特に半導体集積回路装置に形成される金属ゲート電極およびゲート絶縁膜を用いた電界効果トランジスタ (Metal Insulator Semiconductor Field Effect Transistor ; MISFET) の高性能化を達成するチャンネル構造とその製造工程に関する。

【0002】

【従来の技術】MISFETを用いた半導体装置としては、Si基板上に形成されたダイナミック型RAM、スタティック型RAMなどの記憶装置や、CMOS (Complementary Metal Oxide Semiconductor ; 相補性絶縁ゲート) 構成のロジック回路を用いた演算装置などが挙げられる。

【0003】現在、集積密度の向上や性能向上のためにこれらの装置の構成要素であるMOSFETの微細化が進んでおり、世代が進むにつれて、MOSFETのいわゆる短チャンネル効果を抑制することが重要になっている。

【0004】MOSFETの短チャンネル効果を抑制する方法は、いわゆるスケーリング則にしたがって幾つか提案されており、その一つにゲート絶縁膜を薄膜化する手法が挙げられる。

【0005】この手法は、ゲート電極に電圧を印加した時にゲート絶縁膜が薄いほどSi基板中に形成される空乏層の制御が容易になり、短チャンネル効果を抑制できることを意味している。

【0006】ところが、不純物をドーブしたポリシリコンを用いたゲート電極中で十分なキャリア濃度が得られていない場合には、ゲート絶縁膜の薄膜化により相対的



にゲート電極側にかかる電場が強くなると、ゲート電極中にも空乏層が形成される現象（ゲート電極の空乏化）が見られる。特に、極微細のnチャネルMOSFET（nMOSFET）では、上記したゲート電極の空乏化の影響が顕著になる。

【0007】上記nMOSFETのゲート電極の空乏化の影響が顕著になる原因の一つは、微細ゲート電極の細線構造に対してゲート電極の寄生抵抗を抑制するためにサリサイド構造が採用されていることが挙げられる。

【0008】即ち、サリサイド構造を実現するためにサリサイド工程を採用すると、As（砒素）をソース・ドレイン領域とゲート領域に同時にイオン注入してn+にドーピングすることが行われる。この場合、ゲート電極中のAsの拡散係数が小さいので、ドーパントとしてP（リン）を使った場合に比べて、同じ熱工程を経たとしてもゲート電極のSi基板側での不純物濃度が低下し、ゲート電極の空乏化を引き起し易くなり、実効的なゲート絶縁膜厚が大きくなり、電流駆動力が減少するという欠点が顕在化する。

【0009】一方、pチャネルMOSFET（pMOSFET）に対しては、素子の微細化が進むにつれて、従来用いられてきた埋め込みチャネル構造から表面チャネル構造に変更することにより短チャネル効果を抑制することが試みられており、サブミクロン～0.25 $\mu\text{m}$ 世代より先のpMOSFETでは、ゲート電極としてB（ボロン）をドーピングしたポリシリコンが用いられている。

【0010】しかし、ゲート電極の不純物にBを用いた表面チャネル型pMOSFETでも、ゲート絶縁膜の薄膜化につれて幾つかの問題を生じる。例えばBがゲート領域から薄膜ゲート絶縁膜を介してチャネル領域に突き抜けてしまうことや、埋め込みチャネル型pMOSFETのゲート電極で用いられているPと比べてBの固溶限が小さいので、ゲート電極中のキャリア濃度が小さくなり、やはりゲート電極の空乏化の影響が無視できなくなることなどである。

【0011】また、微細なゲート電極では、ゲート遅延時間の劣化を引き起こさないように幾つかの寄生効果の低減が必要となる。その一つとして、ゲート電極上のシート抵抗を小さくすることが要求されている。

【0012】ゲート抵抗の低減化を図るために、現在はサリサイド構造などが用いられているが、0.1 $\mu\text{m}$ 世代の素子になると、現在実現されているシート抵抗では必ずしもゲート抵抗の低減化が十分ではなくなる。

【0013】また、サリサイド技術においては、ゲート長が短くなるにつれてシート抵抗の増大が引き起こされる細線効果も存在するので、ゲート電極のさらなる低抵抗化が可能になる構造の開発が望まれていた。

【0014】これらの技術的な背景により、ゲート長が0.1 $\mu\text{m}$ 以降の世代では、CMOSFETを構成するnMOSFET、pMOSFETともに、微細なゲート電

極の低抵抗化とゲート空乏化率の改善を主な目的として、ゲート電極として、不純物をドーピングしたポリシリコンではなく、金属を用いる手法が研究され始めている

（例えば A.Chatterjee et al. "Sub-100nm Gate Length Metal Gate NMOS Transistors Fabricated by a Replacement Gate PROCESS", 1997 IEEE, IEDM Tech. Dig. P.821）。

【0015】この手法は、pMOSFETにおいてBがゲート領域から薄膜ゲート絶縁膜を介してチャネル領域に突き抜ける現象が生じない点でも有利になる。

【0016】なお、歴史的には、MIS型半導体装置の初期には金属ゲート電極が用いられていたが、金属ゲート電極は高温プロセスとの整合がとれないことから最近では使われなくなっていた。

【0017】ところで、前記したように再び注目され始めている金属ゲート電極の構造を、従来のLSIの製造プロセスと整合性を持たせながら形成しようとする、比較的融点の高いW（タングステン）やTiN（チタナイトライド）、Ta（タンタル）単体などを用いることが妥当である。特に、TiNは、配向性の制御が可能になってきたこともあり、Wとの積層構造の金属ゲートを形成する上でのバリアメタルとしての役割を担う上で重要になってきている。

【0018】前記TiNやTaは、仕事関数 $\phi_M$ として4.6 eV程度の値（ミッドギャップ（mid gap）近傍、つまり、シリコン基板（Bulk Si）の $E_C$ 、 $E_V$ の中間近傍）を持つので、ゲート電極として用いることにより、nMOSFET、pMOSFETとも閾値電圧 $V_{th}$ を所望の狙い目付近に設定し易いという利点がある。

【0019】しかし、前記したような仕事関数 $\phi_M$ として4.6 eV程度の値を持つ金属ゲート電極を用いると、表面チャネル構造を有するロングチャネル（チャネル長がデザインルールの最小寸法より長いもの）のMOSFETを形成した場合にMOSFETの閾値電圧 $V_{th}$ が、この世代のMOSFETとしては高くなる。

【0020】このことは、極微細CMOSデバイスにおいては大変不都合である。なぜならば、極微細CMOSデバイスにおいては、電源電圧を低減することを想定して各部の寸法がスケールリングされており、それに伴って閾値電圧 $V_{th}$ も低減させることが前提となっているからである。

【0021】もし、閾値電圧 $V_{th}$ が高いままで電源電圧を低下させなければならぬとすると、結果的にはMOSFETの電流駆動力（ $V_g - V_{th}$ に比例する）を低減させる結果となり、チャネル長をスケールダウンして素子を高性能化するというシナリオから外れてしまう。

【0022】そこで、閾値電圧 $V_{th}$ を低減させるために、表面チャネル構造を有するショートチャネル（チャネル長がデザインルールの最小寸法程度のもの）のMOSFETを形成すると、閾値が極端に小さくなるという

ショートチャネル効果が強く出る領域に入り、特性のばらつきが大きくなる。

【0023】また、埋め込みチャネル構造を有するMOSFETを形成すると、ロングチャネルのMOSFETの閾値電圧 $V_{th}$ を低減させることが可能であるが、ショートチャネルのMOSFETのDIBLが大きくなり、カットオフ特性が悪くなる。

【0024】従って、金属ゲート電極の構造のMOSFETとして、従来のように表面チャネル構造のみあるいは埋め込みチャネル構造のみで実現する場合には、微細CMOSに必要な低い閾値と十分な耐ショートチャネル効果特性を両立させることができない。

【0025】なお、従来、 $\phi_M = 4.6 \text{ eV}$ の金属ゲート電極を有するMOSFETとして、nMOSFETを表面チャネル構造とし、pMOSFETを埋め込みチャネル構造とすることにより、低い閾値電圧 $V_{th}$ を実現したものがあ

る。

【発明が解決しようとする課題】上記したように従来の金属ゲート電極構造を用いたCMOSトランジスタは、nMOSFET、pMOSFETともにロングチャネルのMOSFETの閾値電圧を低減させ、かつ、ショートチャネルのMOSFETの特性を劣化させることなくショートチャネルのMOSFETの閾値電圧を低減させることが困難であるという問題があった。

【0027】本発明は上記の問題点を解決すべくなされたもので、金属ゲート電極構造を用いた極微細CMOSトランジスタのnMOSFET、pMOSFETともに、ロングチャネルのMOSFETの閾値電圧を低く実現でき、しかも、ショートチャネルのMOSFETの特性を劣化させることなくMOSFETの閾値電圧を低く実現し得る半導体装置およびその製造方法を提供することを目的とする。

【0028】

【課題を解決するための手段】本発明の半導体装置は、半導体層に形成された絶縁ゲート型電界効果型トランジスタのソース領域、チャネル領域およびドレイン領域と、前記チャネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、少なくともゲート絶縁膜側に仕事関数の値がシリコンのバンドギャップ付近にある金属が用いられた金属ゲート電極とをそれぞれ具備するnチャネル型の絶縁ゲート型電界効果型トランジスタおよびpチャネル型の絶縁ゲート型電界効果型トランジスタが形成されてなり、前記nチャネル型およびpチャネル型の絶縁ゲート型電界効果型トランジスタとも、所定のチャネル長より短いチャネル長の第1のトランジスタは表面チャネル構造となるチャネルプロファイルを有し、前記第1のトランジスタのチャネル長より長い第2のチャネル長の第2のトランジスタは埋め込みチャネル構造となるチャネルプロファイルを有することを特徴

とする。

【0029】この場合、具体的には、前記第1のトランジスタは、チャネル長がデザインルールの最小寸法程度の近傍であるショートチャネルのものであり、前記第2のトランジスタはロングチャネルのものである。

【0030】また、前記金属ゲート電極の少なくともゲート絶縁膜側の金属の仕事関数の値は、 $4.2 \text{ eV} \sim 5.0 \text{ eV}$ であり、前記金属ゲート電極は、チタン、タングスタルのいずれか1つの単体金属で形成される、または、この単体金属と高融点金属との積層構造として形成される。

【0031】また、本発明の半導体装置の製造方法は、第1の導電型および第2の導電型の不純物をもつ半導体層上にダミーゲート絶縁膜およびダミーゲートを形成し、前記ダミーゲートの側面に側壁絶縁膜を形成する工程と、前記側壁絶縁膜の形成工程前後あるいは前のみあるいは後のみに前記半導体層の表層部にMOSトランジスタのソース、ドレイン領域となる不純物領域を形成する工程と、この後、前記ダミーゲートおよび側壁絶縁膜を含む半導体層上の全面にシリコン酸化膜系の絶縁膜を堆積し、化学的研磨によって前記ダミーゲートを露出させる工程と、前記露出させたダミーゲートを除去して前記第1のトランジスタのゲート形成用の第1の溝および前記第2のトランジスタのゲート形成用の第2の溝を形成し、その下方の前記半導体層にチャネル不純物を導入する工程と、前記チャネル不純物を導入する工程の前あるいは後に前記ダミーゲートダミーゲート絶縁膜を除去し、前記チャネル不純物を導入する工程の後にゲート絶縁膜を形成し、さらに金属ゲートを形成する工程とを具備し、前記第1の導電型をもつ基板部分には、第1の不純物と同じ導電型の不純物を基板に垂直な方向からまたはそれに近い角度から前記第1の溝および第2の溝を通して基板にイオン注入し、第1の不純物と反対導電型のイオン種を前記第1の溝を通しては基板に届かないように基板に斜め方向の角度から第2の溝を通してイオン注入し、第2の導電型をもつ基板部分には、第2の不純物と同じ導電型の不純物を基板に垂直な方向からまたはそれに近い角度から前記第1の溝および第2の溝を通して基板にイオン注入し、第2の不純物と反対導電型のイオン種を前記第1の溝を通しては基板に届かないように基板に斜め方向の角度から第2の溝を通してイオン注入することを特徴とする。

【0032】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0033】＜半導体装置の第1の実施の形態＞図1は、第1の実施の形態に係る半導体装置に形成されているCMOSFETの断面構造を示している。

【0034】図1において、1aは半導体基板に形成されたpウェル(well)領域、1bは半導体基板に形



成されたnウエル領域、7はCMOS領域分離用、nMOS・pMOS間分離用の素子分離領域である。

【0035】pMOSFETおよびnMOSFETは、それぞれ基板表層部に形成されたエクステンション領域6を含むソース領域・ドレイン領域4と、上記ソース領域・ドレイン領域間のチャネル領域上に形成されたゲート絶縁膜11と、前記ゲート絶縁膜上に形成された金属ゲート電極12とを具備する。

【0036】なお、5はpMOSFET・nMOSFETのゲート電極の側壁部に形成された側壁絶縁膜からなるゲート側壁領域、8は基板上に形成された第1の層間絶縁膜、13は前記第1の層間絶縁膜8および金属ゲート電極12の上に形成された第2の層間絶縁膜である。

【0037】このCMOSFETの構造の特徴は、

(1) nMOSFET、pMOSFETとも、所定のチャネル長より短いチャネル長の第1のトランジスタは表面チャネル構造となるチャネルプロファイルを有し、前記第1のトランジスタのチャネル長より長い第2のチャネル長のトランジスタは埋め込みチャネル構造となるチャネルプロファイルを有することである。

【0038】ここで、前記第1のトランジスタは、チャネル長がデザインルールの最小寸法程度の近傍であるショートチャネルのものであり、前記第2のトランジスタはロングチャネルのものである。

【0039】なお、前記金属ゲート電極12の少なくともゲート絶縁膜側には、 $\phi M = 4.6 \text{ eV}$ 程度の金属、本例ではTiNが用いられており、その上に高融点金属（本例ではW）が堆積されている。なお、Wに代えてAlを用いてもよく、また、 $\phi M = 4.6 \text{ eV}$ 程度の金属単体（例えばTa）からなる金属ゲート電極を用いてもよい。

【0040】図2中において、実線は、図1のCMOSFETのチャネル長Lと閾値 $V_{th}$ との関係を示しており、対比のために、従来のCMOSFETが表面チャネル構造で形成されている場合のチャネル長Lと閾値 $V_{th}$ との関係および従来のCMOSFETが埋め込みチャネル構造で形成されている場合のチャネル長Lと閾値 $V_{th}$ との関係をそれぞれ点線で示している。

【0041】図2から、本発明のCMOSFETによれば、埋め込みチャネル構造で形成されているロングチャネルのトランジスタは閾値を十分低く設定することが可能であり、表面チャネル構造で形成されているショートチャネルのトランジスタは閾値が極端に小さくなるショートチャネル効果を抑制することが可能であることが分かる。

【0042】即ち、本発明のCMOSFETによれば、金属ゲート電極構造を用いた極微細CMOSトランジスタのnMOSFET、pMOSFETともに、ショートチャネルのMOSトランジスタのショートチャネル効果を抑制しつつ、ロングチャネルのMOSトランジスタの

閾値 $V_{th}$ を低く実現することが可能である。

【0043】＜半導体装置の製造方法の第1の実施の形態＞図3乃至図9は、図1に示した第1の実施の形態に係るCMOSFETの製造方法の一例に係る主要工程における断面構造を示している。

【0044】まず、図3に示すように、通常のCMOSプロセスにしたがってシリコン基板1に素子分離領域7、pウエル領域1a、nウエル領域1bを選択的に形成した後、基板表面上にダミーゲート絶縁膜2を形成する。なお、素子分離領域7は、LOCOS（選択酸化）法、STI（シャロウトレンチアイソレーション）法などによって形成可能である。

【0045】次に、図4に示すように、ダミーゲート絶縁膜2上の全面にポリシリコン膜を200nmの厚さに堆積し、リソグラフィとRIE（反応性イオンエッチング）によって加工し、MOSFETのダミーゲート電極領域3を形成する。このダミーゲート電極領域3は、MOSFETのゲートになるものではなく、後述するように金属ゲートを埋め込む前に除去される（金属ゲートに置き換えられる）。

【0046】ここで、ダミーゲート電極領域3を形成する物質は、後の加工性を考慮してポリシリコンを用いているが、その上部にさらにキャップとなる材料、例えばSiNなどを堆積し、後の工程でCMP（化学的機械研磨）を行って層間膜を平坦化する際のストッパーの役割を持たせるようにしてもよい。

【0047】次に、前記ダミーゲート電極領域3に対してセルフアライン的にイオン注入を行い、所要の熱工程を加えることにより、pウエル領域1a、nウエル領域1bのそれぞれに浅いソース・ドレイン領域（エクステンション領域）6を形成する。

【0048】この浅いソース・ドレイン領域を形成する際、nMOS領域には砒素 $As^+$ を10keVの加速電圧、 $4 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入し、また、pMOS領域には弗化ボロン $BF_2^+$ を7keVの加速電圧、 $4 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入した後、800℃、10秒の熱処理（アニール）を行うことにより、イオン注入した不純物を電気的に活性化させる。

【0049】さらに、ゲート側壁領域5を形成するために、全面に例えばシリコン窒化膜SiNを70nmの厚さに堆積し、これを例えばRIE（反応性イオンエッチング）によってエッチングすることにより、ダミーゲート電極領域3の側面に窒化シリコン膜5を残存せしめる。

【0050】次に、ゲート側壁領域5に対してセルフアライン的にイオン注入を行い、不純物の活性化のためのRTA（急速加熱処理）を行い、pウエル領域1a、nウエル領域1bのそれぞれに深いソース・ドレイン領域4となる拡散層を形成する。

【0051】この深いソース・ドレイン領域4を形成す

る際、nMOS領域には砒素As<sup>+</sup>を50keVの加速電圧、 $4 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、また、pMOS領域には弗化ボロンBF<sub>2</sub><sup>+</sup>を35keVの加速電圧、 $3.5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入した後、950℃、10秒のアニールを行うことにより、イオン注入した不純物を電氣的に活性化させる。

【0052】さらに、全面に層間絶縁膜（例えばBPSG膜）8を堆積する。この場合、CMPの均一性がよいLPCVD（減圧気相成長）法により形成される酸化膜（例えばTEOS酸化膜）を堆積してもよい。

【0053】次に、CMPにより層間絶縁膜8の上面を平坦化し、前記ダミーゲート電極領域3の上部表面が露出した時点でCMPをストップさせ、図4の状態を得る。このCMPに際して、ダミーゲート電極領域3のポリシリコン上にキャップ材としてSiN等の材料が載っている場合は、それをストッパーにしてCMPを行うことが可能である。

【0054】なお、上記実施例では、説明の簡単化のため、ゲート側壁領域5を形成した時点でソース・ドレイン領域の高性能化（低抵抗化およびコンタクト抵抗の低減化）を図るためのソース・ドレイン表面にシリサイド膜を形成するシリサイド形成工程を省略したが、従来例と同様にシリサイド工程を適用してもよい。

【0055】その後、図5に示すように、CDE（ケミカルドライエッチング）法によってダミーゲート電極領域（ポリシリコンゲート）3を層間絶縁膜8に対して選択的に除去する。

【0056】続いて、上記ダミーゲート電極領域除去後の溝3bに対して金属を埋め込む前に、リソグラフィを用いてダミーゲート電極領域除去後の溝3bを通してチャンネルイオン注入を行う。

【0057】この際、まず、図5に示すように、nMOSトランジスタを形成するために、pウェル領域1a側をレジスト9でマスクした状態で、p型不純物、例えばインジウム（In）を130keVの加速電圧、 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でnウェル1bにイオン注入する。この時、基板と垂直方向から、あるいは垂直方向より例えば7°程度傾斜した方向からイオン注入を行なうことにより、ダミーゲート電極領域除去後の溝3bが狭い場合（ショートチャンネルのトランジスタに対応する）も広い場合（ロングチャンネルのトランジスタに対応する）も、イオン注入が行われる。

【0058】続いて、図6（a）、（b）に示すように、埋め込みチャンネルのカウンター不純物となる砒素（As）を比較的低い15keVの加速電圧で $5 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でイオン注入する。この時、基板に対して斜め方向からnウェル1bにイオン注入を行なう。この時、図6（b）に示すように、ダミーゲート電極領域除去後の溝3bが広い場合（ロングチャンネルのト

ランジスタに対応する）はnウェル1bにカウンターのイオン注入が行われるが、図6（a）に示すように、ダミーゲート電極領域除去後の溝3bが狭い場合（ショートチャンネルのトランジスタに対応する）にはnウェル1bにカウンターのイオン注入が行われない。

【0059】このようなイオン注入によって、ショートチャンネルのnMOSトランジスタ部では表面チャンネル構造が得られ、ロングチャンネルのnMOSトランジスタ部では、埋め込みチャンネル構造が得られる。

【0060】次に、前記レジスト9を除去し、図7に示すように、pMOSトランジスタを形成するために、nウェル領域1b側をレジスト10でマスクした状態で、n型不純物、例えば砒素（As）を100keVの加速電圧、 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でpウェル1aにイオン注入する。この時、基板と垂直方向から、あるいは垂直方向より例えば7°程度傾斜した方向からイオン注入を行なうことにより、ダミーゲート電極領域除去後の溝3aが狭い場合（ショートチャンネルのトランジスタに対応する）も、ダミーゲート電極領域除去後の溝3aが広い（ロングチャンネルのトランジスタに対応する）場合も、イオン注入が行われる。

【0061】続いて、図8（a）、（b）に示すように、埋め込みチャンネルのカウンター不純物となるボロン（B）を比較的低い5keVの加速電圧で $5 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でイオン注入する。この時、基板に対して斜め方向からpウェル1aにイオン注入を行なう。この時、図8（b）に示すように、ロングチャンネルのトランジスタ部ではpウェル1aにカウンターのイオン注入が行われるが、図8（a）に示すように、ショートチャンネルのトランジスタ部ではpウェル1aにカウンターのイオン注入が行われない。

【0062】このようなイオン注入によって、ショートチャンネルのpMOSトランジスタ部では表面チャンネル構造が得られ、ロングチャンネルのpMOSトランジスタ部では、埋め込みチャンネル構造が得られる。

【0063】続いて、前記レジスト10を除去し、チャンネル不純物を活性化するために、750℃、10秒の熱処理を行い、前記したように除去されたダミーゲート電極領域の下ダミーゲート絶縁膜2を希フッ酸処理によって除去した後、図9（a）、（b）に示すように、基板表面に熱酸化または化学気相堆積（CVD）法によってゲート絶縁膜11を形成する。なお、上記ダミーゲート絶縁膜2の除去は、前記ダミーゲート電極領域3の除去と同時に実施してもよい。

【0064】ここで、上記ゲート絶縁膜11は、酸化膜系でも酸化窒化膜系でも窒化膜系でもその他の高誘電体絶縁膜でもよい。即ち、純粋なシリコン酸化膜に限らず、窒素を含有したシリコン酸化膜であってもよく、五酸化タンタル、二酸化チタンなどの高誘電体薄膜でもよく、これらの高誘電体薄膜同士、あるいはシリコン酸化



膜との積層膜であってもよく、デバイスの世代が替って実効的な膜厚を薄くした時でも目的に応じて選択できる。

【0065】次に、ゲート電極用の金属として、例えば窒化チタン (TiN) 12aを5nmの厚さに堆積し、タングステン (W) 12bを200nmの厚さに堆積し、前記ダミーゲート電極領域およびダミーゲート絶縁膜を除去した後の溝3a、3b内だけに残す、つまり、溝3a、3b内に金属ゲート電極12を埋め込むように、メタルCMPにより平坦化する。

【0066】この際、図9(a)に示すように、ショートチャネルのMOSトランジスタ部では、チャネル部分にカウンター不純物が含まれておらず、nMOS、pMOSとも表面チャネル構造になっている。一方、図9(b)に示すように、ロングチャネルのトランジスタ部では、チャネル部分にカウンター不純物が含まれており、nMOS、pMOSとも埋め込みチャネル構造になっている。

【0067】この後、BPSG (ボロン・リン・シリケートガラス) またはプラズマCVD系の絶縁膜などを用いて層間絶縁膜 (図1中、13) を堆積する。そして、上記層間絶縁膜層にコンタクトホール (図示せず) を形成して前記金属ゲート電極12にコンタクトする金属配線 (図示せず) を形成する。

【0068】即ち、上記したように第1の実施の形態に係るCMOSトランジスタの製造方法は、特殊な工程を用いることなく、金属ゲート電極構造を用いたCMOSトランジスタのnMOSFET、pMOSFETともに、ロングチャネルのトランジスタは埋め込みチャネル構造、ショートチャネルのトランジスタは表面チャネル構造として形成することが可能であり、コスト上昇を殆んど伴わずに高性能な金属ゲート電極構造を有するCMOSトランジスタを実現することができる。

【0069】

【発明の効果】 上述したように本発明の半導体装置によれば、金属ゲート電極構造を用いた極微細CMOSトランジスタのnMOSFET、pMOSFETともに、ロ

ングチャネルのトランジスタは埋め込みチャネル構造で実現することにより閾値を十分低く設定することが可能であり、ショートチャネルのトランジスタは表面チャネル構造で実現することにより閾値が極端に小さくなるショートチャネル効果を抑制することができる。

【0070】また、本発明の半導体装置の製造方法によれば、特殊な工程を用いることなく、コスト上昇を殆んど伴わずに本発明の半導体装置を実現することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る半導体装置に形成されているCMOSFETの構造を示す断面図。

【図2】 図1に示したCMOSFETのショートチャネル効果を従来例のCMOSFETのショートチャネル効果と対比して示す特性図。

【図3】 図1に示したCMOSFETの第1の実施の形態に係る製造方法の一例に係る主要工程の一部を示す断面図。

【図4】 図3の工程に続く工程を示す断面図。

【図5】 図4の工程に続く工程を示す断面図。

【図6】 図5の工程に続く工程を示す断面図。

【図7】 図6の工程に続く工程を示す断面図。

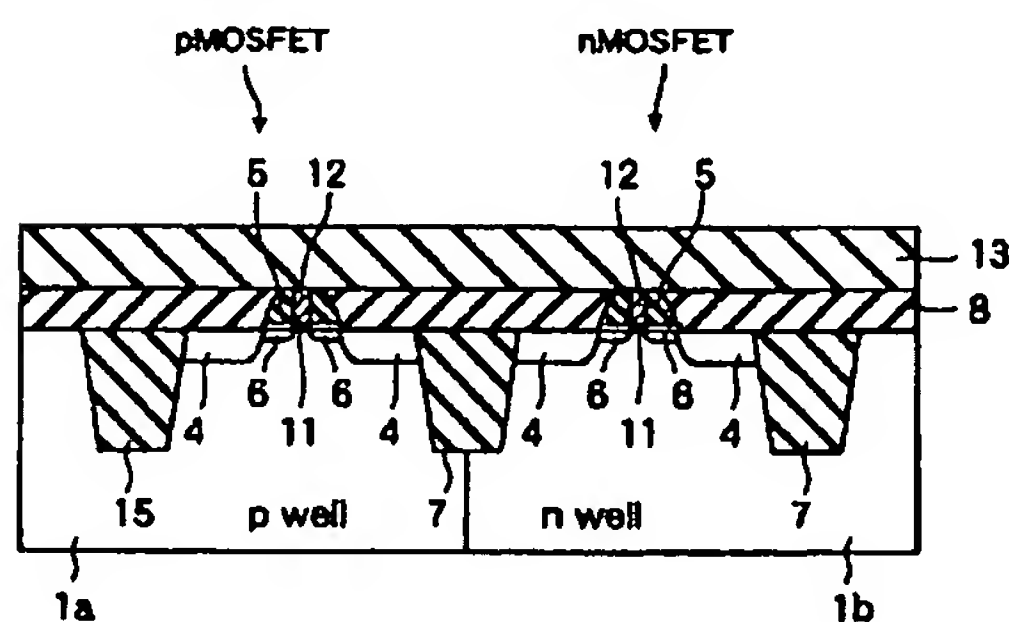
【図8】 図7の工程に続く工程を示す断面図。

【図9】 図8の工程に続く工程を示す断面図。

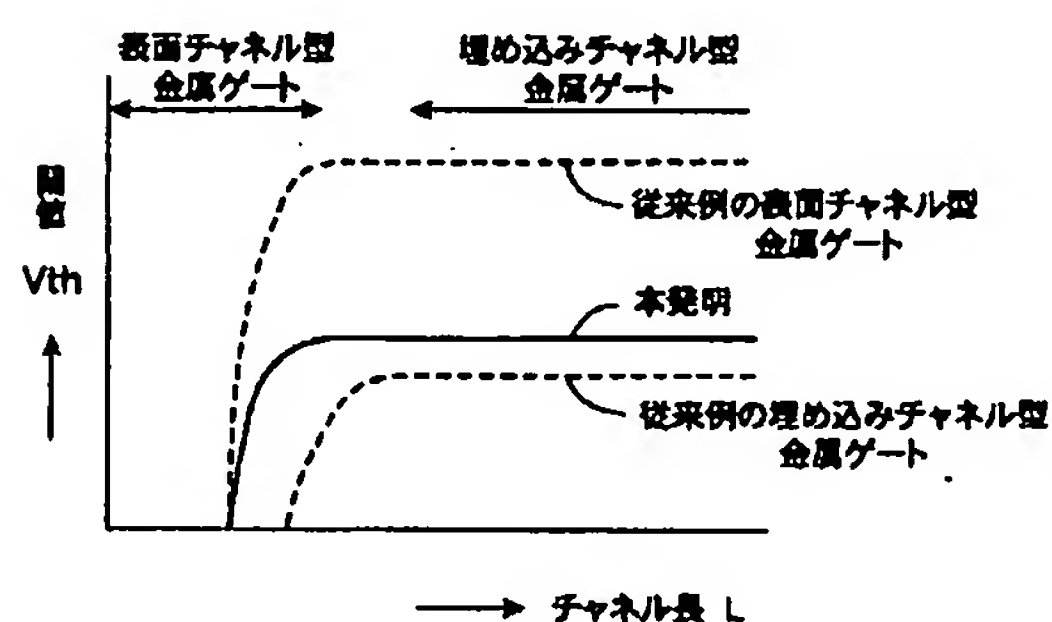
【符号の説明】

- 1a…pウェル、
- 1b…nウェル、
- 2…ダミーゲート絶縁膜、
- 3…ダミーゲート電極領域、
- 4…ソース・ドレイン電極領域、
- 5…ゲート側壁領域、
- 6…エクステンション領域、
- 7…素子分離領域、
- 8…層間絶縁膜、
- 11…ゲート絶縁膜、
- 12…金属ゲート電極。

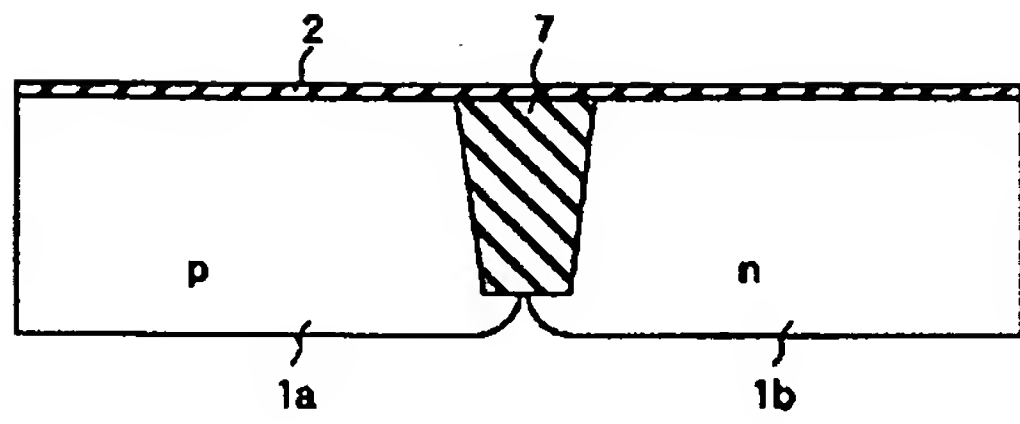
【図1】



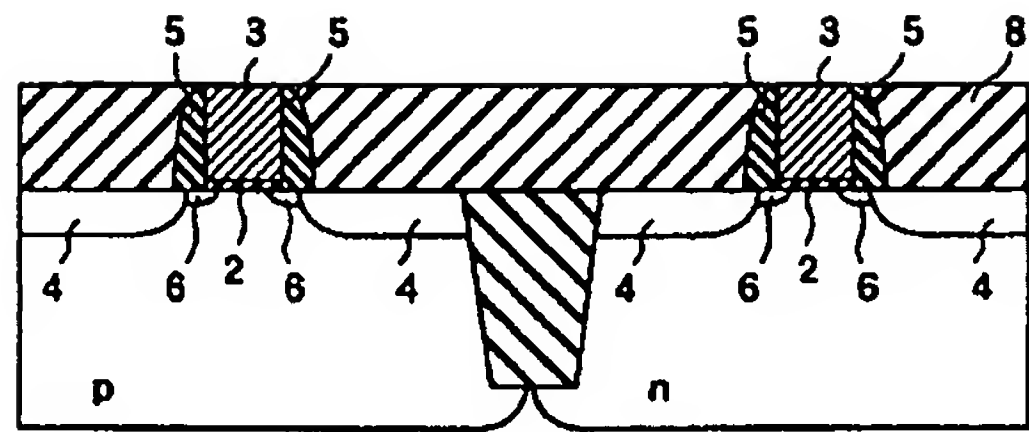
【図2】



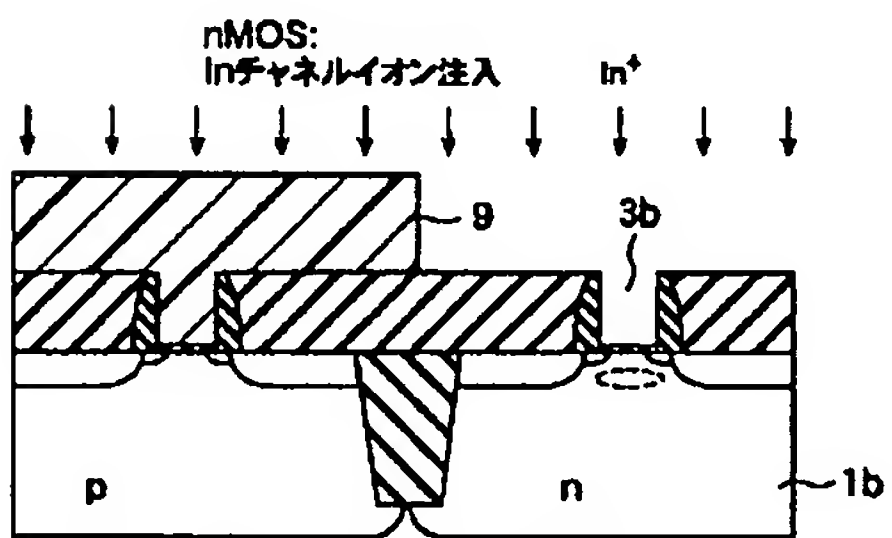
【図3】



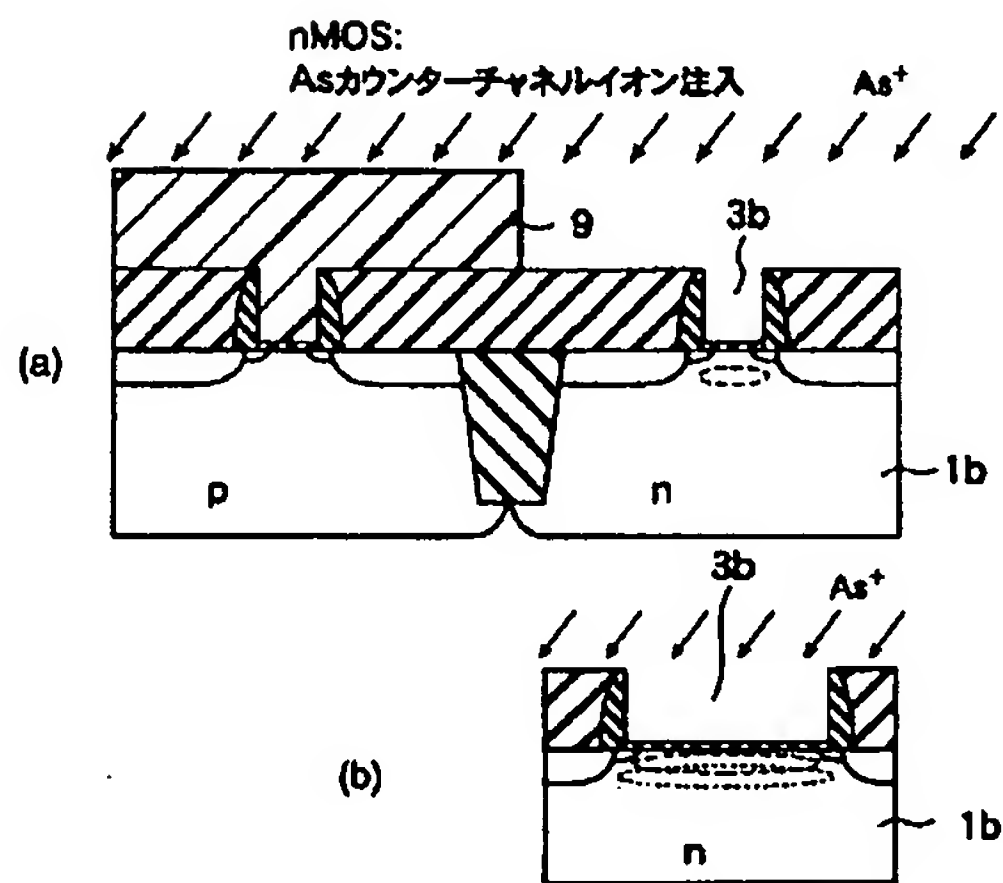
【図4】



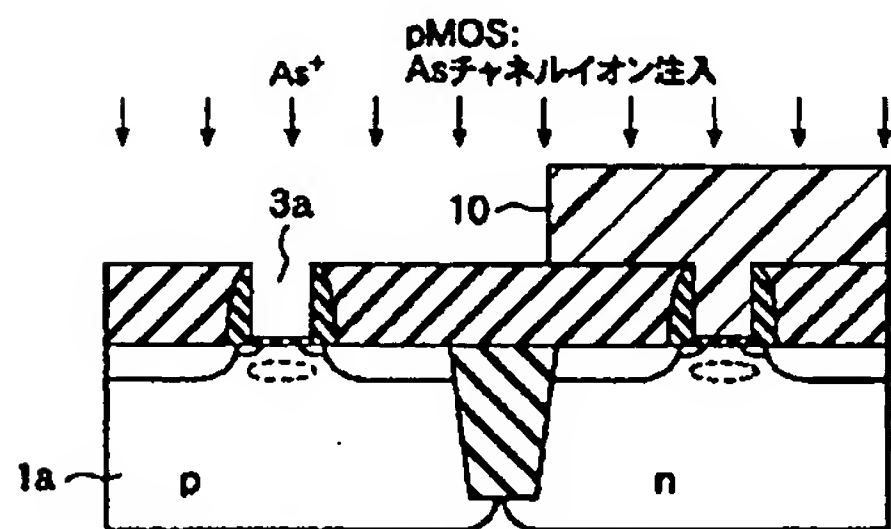
【図5】



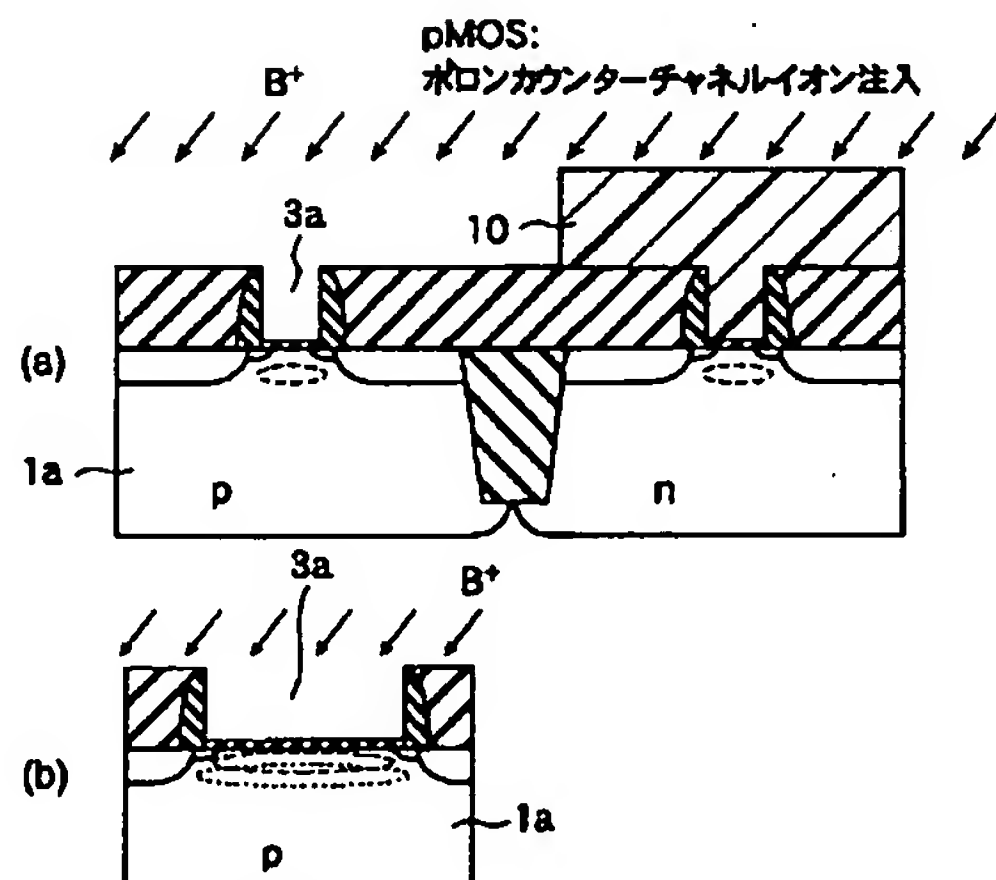
【図6】



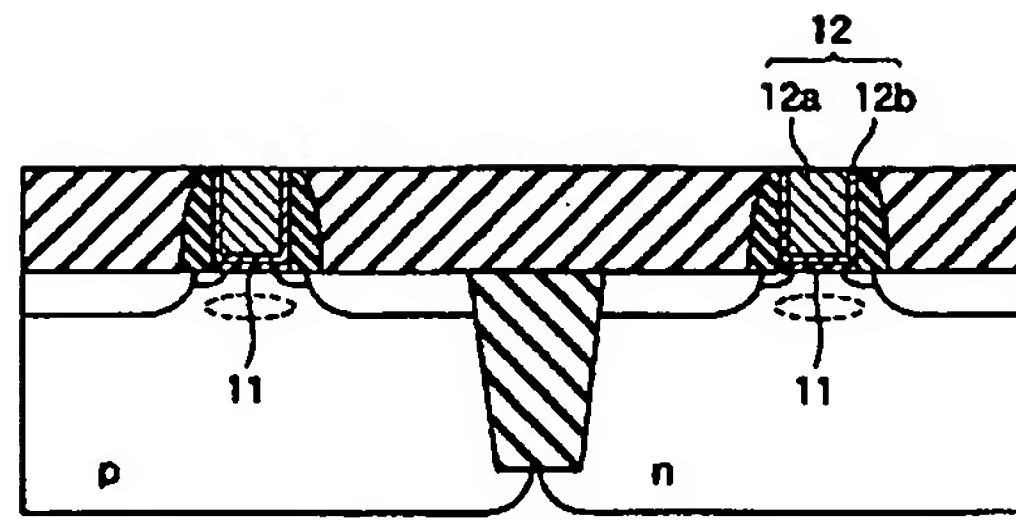
【図7】



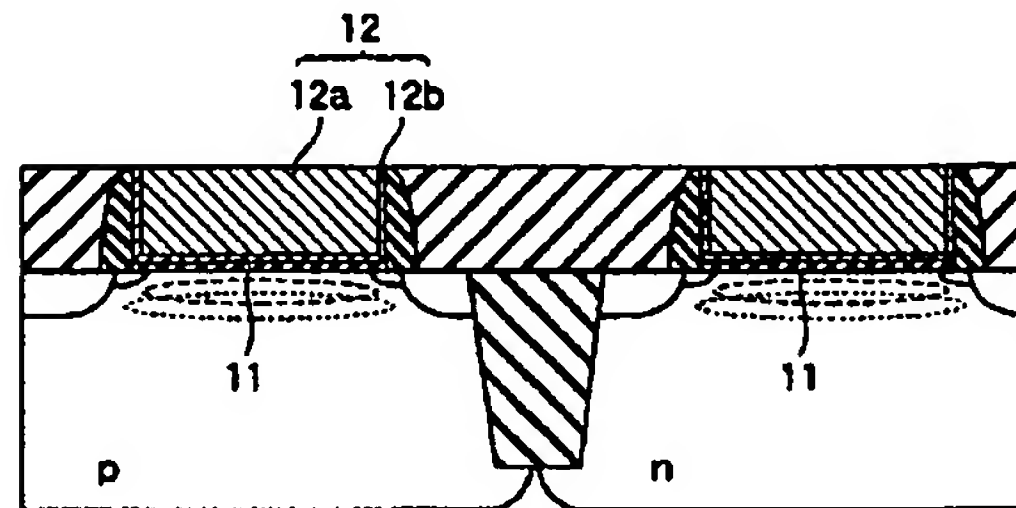
【図8】



【図9】



(a)



(b)

フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)	
H O 1 L	27/088	H O 1 L	29/62	G
	29/43		29/78	3 0 1 G
	29/78			3 0 1 H

F ターム (参考)

4M104	AA01	BB14	BB17	BB30	CC05
	DD03	DD04	DD26	DD75	EE03
	EE09	EE12	EE16	EE17	FF13
	GG09	GG10	HH20		
5F040	DA06	DB03	EA08	EA09	EC01
	EC08	EC12	ED03	ED04	EE05
	EE09	EF02	EK01	EK05	FA02
	FA07	FB02	FB05	FC10	FC13
	FC19	FC21	FC22		
5F048	AA01	AC01	AC03	BA01	BB09
	BB11	BB12	BB14	BB18	BC06
	BD04	BD05	BD10	BE03	BF06
	BG12	BG14	DA27		